

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06284389 A**

(43) Date of publication of application: 07 . 10 . 94

(51) Int. Cl.

H04N 7/01
G06F 15/66
G09G 5/00
H04N 7/13

(21) Application number: **05071497**

(22) Date of filing: 30 . 03 . 93

(71) Applicant: **HITACHI LTD HITACHI GAZOU
JOHO SYST:KK**

(72) Inventor:
ISHIBASHI KOICHI
HIRAHATA SHIGERU
KATSUMATA KENJI
TAKADA HARUKI

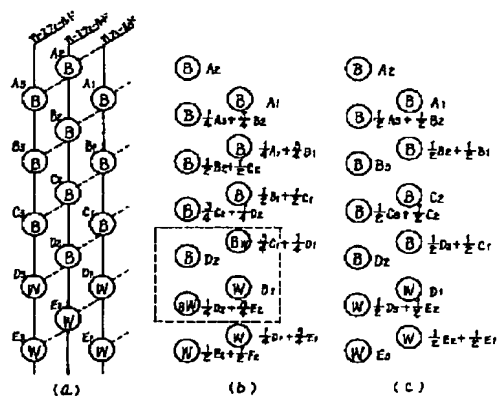
(54) **TELEVISION RECEIVER**

(57) Abstract:

PURPOSE: To obtain a high picture quality expanded image by suppressing the degradation of an edge part generated when an interlaced image is expanded by interpolating a scanning line.

CONSTITUTION: The motion of a basically inputted interlaced system video signal is detected, and if the signal is a still picture as a result, an interpolation scanning line may be prepared between fields as shown in a Fig. (c). For instance, in the (b) where the interpolation scanning line is prepared within a field, the first scanning line BW within a broken line becomes B by preparing it by the calculation of the C1 of the nth field and the D2 of the (n-1)th field. In the same way, the last scanning line BW becomes W by preparing it by the calculation of the E2 of the (n-1)th field and the D3 of the (n-2)th field. Thus, the interpolation scanning line is prepared by the calculation between fields.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-284389

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/01		J 6942-5C		
G 0 6 F 15/66	3 5 5	C 8420-5L		
G 0 9 G 5/00		Z 8121-5G		
H 0 4 N 7/13		Z		

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21)出願番号	特願平5-71497	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成 5 年(1993) 3 月30日	(71)出願人	000233136 株式会社日立画像情報システム 神奈川県横浜市戸塚区吉田町292番地
		(72)発明者	石橋 浩一 神奈川県横浜市戸塚区吉田町292番地株式 会社日立画像情報システム内
		(72)発明者	平島 茂 神奈川県横浜市戸塚区吉田町292番地株式 会社日立製作所映像メディア研究所内
		(74)代理人	弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 テレビジョン受像機

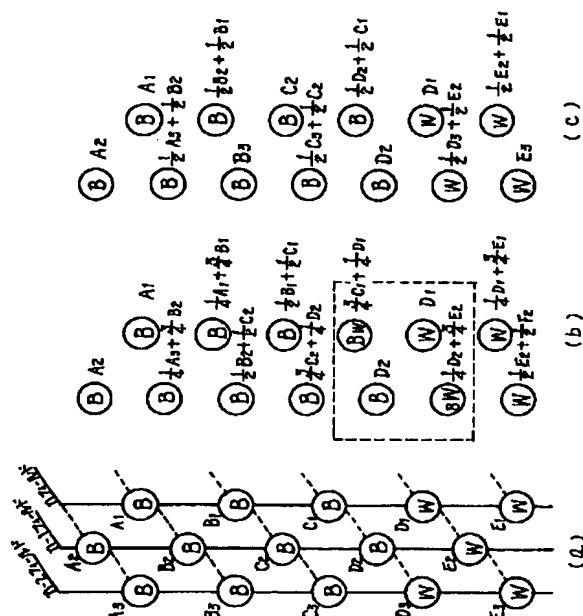
(57)【要約】

【目的】 インタレース画像を走査線を補間して拡大した際に生じるエッジ部分の劣化を抑え高画質な拡大画像を得ること。

【構成】 基本的に入力したインタレース方式の映像信号の動きを検出し、その結果静止画であれば、図 1 7

(c) に示すようにフィールド間で補間走査線を作成すればよい。例えば、フィールド内で補間走査線を作成した (b) において、破線内の最初の走査線 BW は第 n フィールドの C 1 と第 n-1 フィールドの D 2 の演算で作成することにより B となり、同様に最後の走査線 BW は第 n-1 フィールドの E 2 と第 n-2 フィールドの D 3 の演算で作成することにより W となる。このようにフィールド間の演算で補間走査線を作成する。

図 17



1

【特許請求の範囲】

【請求項1】インタレース方式の映像信号を入力し、この映像信号による画像の部分領域を拡大してインタレース方式で表示するテレビジョン受像機において、前記映像信号の拡大すべき領域の走査線を書き込み、拡大倍率に応じて拡大映像信号を読み出す第1のメモリ回路と、前記第1のメモリ回路から出力された映像信号を入力し第1の遅延映像信号と第2の遅延映像信号を得る第2のメモリ回路と、前記第1のメモリ回路から出力された拡大映像信号の動きを検出して動き信号を生成する動き検出回路と、前記第1のメモリ回路、第2のメモリ回路から出力された映像信号を入力し合成して補間信号を作成する補間信号合成回路と、前記動き検出回路の出力信号と拡大倍率から前記補間信号合成回路に入力された映像信号の合成比を制御する係数を生成する係数生成回路と、拡大位置や拡大倍率を指定し前記第1のメモリと前記係数生成回路を制御するモード設定回路と、を有することを特徴とするテレビジョン受像機。

【請求項2】請求項1記載のテレビジョン受像機において、前記係数生成回路は、前記補間信号合成回路が静止画の場合は主にフィールド間の演算で補間走査線を作成し、動画の場合は主にフィールド内の演算で補間走査線を作成するように係数を生成し、前記動き検出回路からの動き信号に応じて前記係数を切り替えるようにしたことを特徴とするテレビジョン受像機。

【請求項3】請求項1記載のテレビジョン受像機において、このテレビジョン受像機がNTSC信号とMUSE信号を受信しNTSC方式で表示可能で、NTSC信号とMUSE信号を識別するMUSE/NTSC識別回路と、前記第1のメモリ回路と前記第2のメモリ回路から出力された映像信号を加算する加算器と、前記第1のメモリ回路と前記加算器から出力された映像信号を前記動き検出回路の出力信号に応じて合成するMIX回路を有し、NTSC信号受信時には拡大処理回路として、MUSE信号受信時には折り返し除去回路として動作することを特徴とするテレビジョン受像機。

【請求項4】インタレース方式の映像信号を入力し、この映像信号による画像の部分領域を拡大してインタレース方式で表示するテレビジョン受像機において、前記映像信号の動きを検出し動き信号を生成する動き検出回路と、前記動き検出回路の出力信号に応じてフィールド内Y/C分離とフレーム間Y/C分離を行う3次元Y/C分離回路と、前記3次元Y/C分離回路から出力された映像信号のうち拡大すべき領域の走査線を書き込み、拡大倍率に応じて拡大映像信号を読み出す第1のメモリと、前記第1のメモリ回路から出力された映像信号を入力して第1の遅延映像信号と第2の遅延映像信号を得る第2のメモリ回路と、前記動き検出回路から出力された動き信号のうち、前記第1のメモリ回路に書き込んだ拡大領域に相当する動き信号を書き込み前記第1のメ

2

モリ回路同様に拡大倍率に応じて読み出す第3のメモリ回路と、前記第1のメモリ回路、第2のメモリ回路から出力された映像信号を入力し合成して補間信号を作成する補間信号合成回路と、前記第3のメモリの出力信号と拡大倍率から前記補間信号合成回路に入力された映像信号の合成比を制御する係数を生成する係数生成回路と、拡大位置や拡大倍率を指定し前記第1のメモリと前記第3のメモリと前記係数生成回路を制御するモード設定回路とを有することを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はインタレース方式の映像を拡大してインタレース方式で表示するテレビジョン受像機に関するものである。

【0002】

【従来の技術】'91年11月25日のハイビジョンの日に放送衛星BS-3bを用いたハイビジョン試験放送が開始され、'97年には放送衛星BS-4を用いたハイビジョン本放送が予定されているなどハイビジョン放送が本格化しようとしている。しかしハイビジョン受信機やハイビジョン関連機器がまだ高価であることやハイビジョン放送やソフトの充実などの面からも、ハイビジョンが一般家庭に普及するまでには多くの時間を要することが予想される。そのため現在は、現行NTSC信号とMUSE信号を受信し、MUSE信号はNTSC方式に変換して表示する低価格な共用受信機や、MUSEデコーダの静止画処理を簡略化した簡易デコーダを用いて低価格化を図った共用受信機などが製品化されている。このような共用受信機には表示画面のアスペクト比が現行と同じ4:3のものと、ハイビジョンと等しい16:9のアスペクト比を持つワイドタイプのものがある。このうちワイドタイプのディスプレイを備えたものでは、現行NTSC信号をワイド画面にどのように表示するかが大きな課題であると同時に、製品の大きな特徴となる。現行NTSC信号をワイド画面に表示する方法は、特開平1-194783号などに示されており、図13に例を示す。まず図13(a1)に示すようなアスペクト比4:3の映像信号を受信した場合には、そのままアスペクト比16:9のワイド画面に表示すると(a2)に示すように水平方向に間延びした画像となるが、(a3)に示すようにメモリを用いて水平方向に3/4倍に圧縮して表示、または(a4)に示すように垂直方向に4/3倍に拡大してワイド画面いっぱいに表示することにより正しい比率の表示画像が得られる。また映像ソフトなどに見られる(b1)に示すような横長の映像信号を受信した場合には、水平圧縮して表示すると(b3)に示すように、映像部分が画面の中央に表示され臨場感が損なわれる。しかし拡大表示すれば(b4)に示すように映像部分がほぼワイド画面いっぱいに表示され画面の有効活用を図ることができる。しかし(b1)に示す

横長の映像には様々な種類があり1種類の拡大倍率では対応できない。その例を図14に示す。この図で(a)はブランク部分に字幕がある画像で、この場合4/3倍に拡大表示すると表示画面から字幕が欠けてしまう。また(b)は上下のブランク領域が大きい画像で、この場合4/3倍に拡大表示しても表示画面の上下にブランク部分が残ってしまう。このような様々な種類の横長の画像に対応するためには複数の拡大倍率を持つことが必要である。拡大方法の代表的なものには、例えば特開平3-11891に示されているように信号処理で走査線を補間する方法と偏向で拡大する方法がある。信号処理で拡大する方法は、拡大表示しても走査線間隔は変わらないため走査線が目立たず、偏向で走査線間隔を広げて拡大する方法に比べ、特に大画面となるほど、また拡大倍率が大きくなるほど有効である。信号処理で走査線を補間して垂直方向に4/3倍に拡大する場合の一例を図15に示す。この図で1501は映像信号の入力端子、1502はフィールドメモリ、1503はラインメモリ、1504、1505は係数器、1506は加算器、1507は映像信号の出力端子である。この回路の動作について図16を用いて説明する。この図でA~Eは走査線、(a)は映像信号の入力端子1501の入力信号、(b)はフィールドメモリ1502の出力信号、(c)はラインメモリ1503の出力信号、(d)は補間走査線作成式である。映像信号の入力端子1501から入力した映像信号はフィールドメモリ1502に入力され、本例4/3倍の場合には(b)に示すように3ラインごとを読み出しを止め同じ走査線を出力する。フィールドメモリ1502の出力信号とラインメモリ1503により1ライン遅延した映像信号は係数器1504、1505と加算器1506で図16(d)に示す演算を行い補間走査線を作成し、映像信号の出力端子1507より出力する。以上のような補間処理により、滑らかに拡大された表示画像を得ることができる。

【0003】

【発明が解決しようとする課題】図15、図16で説明した拡大方式はノンインタレース方式の画像に対しては問題ないが、インタレース方式の画像に適用すると、静止画において画像のエッジ部分が劣化し画質劣化となる。このエッジ劣化の例を図17に示す。ここでは分かりやすさのため黒から白に輝度に変化するエッジ部分を例にとる。この図で(a)は入力映像信号、(b)はフィールド内で作成した補間走査線、(c)はフィールド間で作成した補間走査線を示す。A1~E1は第nフィールドの走査線を示し、A2~E2は第n-1フィールドの走査線、A3~E3は第n-2フィールドの走査線を示す。またBは黒の走査線、Wは白の走査線を示し、BWは中間の輝度を持つ走査線でBが大きいものは黒寄り、すなわち輝度の小さな走査線、Wが大きいものは白寄り、すなわち輝度の大きな走査線を示す。(a)に示

すようなインタレース方式の画像を前記信号処理で拡大すると、(b)の破線内に示すように黒から白に変わるべきエッジ部分でBW、B、W、BWと輝度の反転した走査線が入り画質劣化になるという問題がある。

【0004】本発明は、以上の問題点を解決し高画質なインタレース方式の拡大画像を得ることを目的とする。

【0005】

【課題を解決するための手段】上記問題点を解決するためには、基本的に入力したインタレース方式の映像信号の動きを検出し、その結果静止画であれば、図17

(c)に示すようにフィールド間で補間走査線を作成すればよい。例えば、フィールド内で補間走査線を作成した(b)において、破線内の最初の走査線BWは第nフィールドのC1と第n-1フィールドのD2の演算で作成することによりBとなり、同様に最後の走査線BWは第n-1フィールドのE2と第n-2フィールドのD3の演算で作成することによりWとなる。このようにフィールド間の演算で補間走査線を作成することにより、破線内はBWWとなり拡大時のエッジ劣化がなくなる。

【0006】そこで、上記の目的は、画像の拡大すべき領域の走査線を書き込み拡大倍率に応じて拡大映像信号を読み出す第1のメモリ手段と、前記第1のメモリ手段から出力された映像信号を入力し第1の遅延映像信号と、第2の遅延映像信号を得る第2のメモリ手段と、前記第1のメモリ手段から出力された拡大映像信号の動きを検出して動き信号を生成する動き検出手段と、前記第1のメモリ手段と第2のメモリ手段から出力された映像信号を入力し合成して補間信号を作成する補間信号合成手段と、前記動き検出手段の出力信号と拡大倍率から前記補間信号合成手段に入力された映像信号の合成比を制御する係数を生成する係数生成手段と、拡大倍率や拡大倍率を指定し前記第1のメモリ手段と前記係数生成手段を制御するモード設定手段を用いることにより達成できる。

【0007】

【作用】第1のメモリ手段は、入力されたインタレース方式の映像信号のうち拡大すべき領域の走査線のみを書き込み、拡大倍率に応じて拡大映像信号を読み出す。第2のメモリ手段は、第1のメモリ手段から出力された映像信号を入力し1フィールド遅延、1ライン遅延出力を得る。動き検出手段は、第1のメモリ手段から出力された拡大映像信号の動き量を検出し動き信号を生成し出力する。補間信号合成手段は、前記第1のメモリ手段と第2のメモリ手段から出力された映像信号を入力して合成し補間走査線を作成し出力する。係数生成手段は、前記動き検出手段からの出力信号をもとに、静止画の場合はフィールド間の演算で補間走査線を作成し、動画の場合はフィールド内の演算で補間走査線を作成するような補間係数を生成する。モード設定手段は、拡大位置や拡大倍率を指定し前記第1のメモリ手段と係数生成回路を制

御する。

【0008】以上のような構成とすることで、インタレース方式の映像を拡大する場合に、静止画、動画共にエッジ部分の画質劣化を抑えた高画質な拡大画像が得られる。

【0009】

【実施例】図1は本発明の一実施例を示すブロック図である。この図で101はインタレース方式の映像信号の入力端子、102、103はフィールドメモリ、104はラインメモリ、105はフィールドメモリ、106は動き検出回路、107は補間信号合成回路、108は係数生成回路、109、110、111は係数器、112は加算器、113はモード設定回路、114は映像信号の出力端子である。この回路の動作を図2を用いて説明する。

【0010】図2に例として4/3倍に拡大する場合の、図1に示す各メモリの入出力信号を示す。この図でA1～E1は第nフィールドの走査線、A2～D2は第n-1フィールドの走査線、A3～E3は第n-2フィールドの走査線であり、本例は第nフィールドの補間走査線を作成する場合を示している。また、この図で

(a)は映像信号の入力端子101から入力した映像信号で、斜線部が拡大領域、(b)はフィールドメモリ102の出力信号、(c)はラインメモリ103の出力信号、(d)はフィールドメモリ104の出力信号である。映像信号の入力端子101から入力された映像信号はフィールドメモリ102に入力される。フィールドメモリ102では図2(b)に示すように、入力した映像信号のうち拡大すべき領域の走査線のみを書き込み、書き込んだ走査線を拡大倍率に応じて読み出す。この読み出し方法は本例4/3倍の場合には、図2(b)に示すように走査線3本ごとに1回同じ走査線を読み出す。これによりフィールドメモリ102からは書き込んだ走査線の4/3倍の数の走査線、すなわち1フィールド分に相当する走査線を出力する。本例は4/3倍で説明しているが、そのほかの拡大倍率として例えば4回読み出して1回同じ走査線を読み出せば5/4倍、2回読み出して1回同じ走査線を読み出し3回読みだして1回同じ走査線を読み出せば7/5倍を実現できる。ここでフィールドメモリ102がランダムアクセスできるメモリであれば、4/3倍の場合には走査線3本ごとに1回同じアドレスを指定し同じ走査線を出力すればよいが、書き込んだ走査線を順に読み出すメモリである場合は、図3に示すようにフィールドメモリ102の出力信号を1ライン遅延して出力するラインメモリ301とセクタ302を設け、走査線3本ごとに1回ラインメモリ301の出力信号を選択するようにすればよい。このようにフィールドメモリ102から出力された拡大映像信号は、ラインメモリ105、フィールドメモリ103に入力され、図2(c)、(d)に示すようにそれぞれ1ライ

ン、1フィールド遅延して出力する。動き検出回路106はフィールドメモリ102から出力された拡大映像信号の動きを検出する。動き検出の方法としては例えば特開昭64-19891に示されているように、入力した映像信号と1フレーム遅延した映像信号との差を演算し、この差分をもとに動き信号を作成すればよい。また特開平1-143480に示されているように、フレーム間の演算に加えて垂直エッジを検出すれば、より正しい動き情報が得られる。本実施例では、図1に示すように少なくともフィールドメモリ102から出力された映像信号とフィールドメモリ103、104により2フィールド遅延した映像信号を入力すれば、フレーム間の差分をもとに映像の動きを検出して動き信号を生成できる。補間信号合成回路107はフィールドメモリ102、ラインメモリ105、フィールドメモリ103の出力信号を入力し、係数器109、110、111でそれぞれ係数倍して加算器112で加算することにより補間走査線を作成する。係数生成回路108は動き検出回路106から出力された動き信号をもとに、補間信号合成回路における補間係数 α 、 β 、 γ を生成する。例えば動きの小さい映像信号であれば、主にフィールド間の走査線で補間走査線を生成するように γ の比率を大きくし、動きの大きい映像信号であれば、主にフィールド内の走査線で補間走査線を生成するように α 、 β の比率を大きくする。この具体例について図18、図19を用いて説明する。図18は補間信号合成回路の具体例を示している。この図で101は映像信号の入力端子、102、103はフィールドメモリ、104はラインメモリ、106は動き検出回路107は補間信号合成回路、108は係数生成回路、114は映像信号の出力端子であり図1の同一記号のものと同じ働きをする。1801、1802は係数器、1803は加算器、1804、1805は係数器、1806は加算器、1807はセクタ、1808、1809は係数器、1810は加算器である。また図19(a)は動き量と補間係数1の関係の一例、

(b)は重心位置の異なる補間走査線の例を示す図であり、A1がラインメモリ104の出力信号、B1はフィールドメモリ102の出力信号、A2はフィールドメモリ103の出力信号、Y1～Y4は補間走査線である。まずフィールドメモリ102とラインメモリ104の出力信号は係数器1801、1802、加算器1803により作成する補間走査線の重心位置に応じた割合で合成する。例えば図19(b)の補間走査線Y1を作成する場合には、係数器1801の係数 k は $1/4$ 、係数器1802の係数 $(1-k)$ は $3/4$ となり、走査線A1、B1にそれぞれ $3/4$ 、 $1/4$ を掛けて加算する。次にセクタ1807は補間走査線Y3のように係数器1801の係数 k が $0 \leq k < 1/2$ の場合はフィールドメモリ102の出力信号B1を出力し、補間走査線Y1、Y2のように $1/2 \leq k \leq 1$ の場合にはラインメモリ10

4の出力信号A1を出力する。セクタ1807の出力信号とフィールドメモリ103の出力信号は係数器1808、1809、加算器1810により作成する補間走査線の重心位置に応じた割合で合成する。例えば図19(b)の補間走査線Y1を作成する場合には、係数器1808の係数 m は $1/2$ 、係数器1802の係数 $(1-m)$ は $1/2$ 、また補間走査線Y2を作成する場合には係数器1808の係数 m は0、係数器1802の係数 $(1-m)$ は1となる。

【0011】この係数 m と係数器1801の係数 k の関係は、補間走査線Y3のように係数 k が $0 \leq k < 1/2$ の場合には $m = k \times 2$ 、補間走査線Y1、Y2のように $1/2 \leq k \leq 1$ の場合には $m = (k - 1/2) \times 2$ で表すことができる。このように補間位置に応じて合成され加算器1804、1805より出力された信号は、次に係数器1804、1805、加算器1806により映像の動き量に応じた割合で合成する。動き量と係数器1804の係数1の関係は図19(a)に例を示すように静止画あるいは動きの小さな映像の場合には係数1を大きくしフィールド間の合成信号である加算器1810の出力信号の割合を大きく合成し、動きの大きな映像の場合には係数1を小さくしフィールド内の合成信号である加算器1803の出力信号の割合を大きく合成する。このように補間位置を示す係数 k と動き量を示す係数1の2つの係数を用いて、どの補間位置にある補間走査線も作成できる。図1の回路は、図8の係数器と加算器の3段構成を統一して、係数 α 、 β 、 γ の制御に変換し回路規模の縮小を図ったものである。これは例えばROMなどを用いてテーブル変換することにより実現できる。

【0012】また動き量に応じて加算器1803、1804の合成比を切り替える方法の他に映像の動き量のあるレベルを境に加算器1803、1804の出力信号を切り換えるようにしてもよい。

【0013】この例を図4に示す。図4は例としてインタレース方式の画像を4/3倍に拡大する場合を示し、A1~E1は第 n フィールドの走査線、A2~E2は第 $n-1$ フィールドの走査線、A3~E3は第 $n-2$ フィールドの走査線を示す。また(a)には動画補間処理の概要と補間係数、(b)には静止画補間処理の概要と補間係数を示す。入力した映像信号が動画である場合には、図3(a)に示すように作成すべき補間走査線の重心位置を挟むフィールド内の2本の走査線の演算により補間走査線を作成し、入力した映像信号が静止画である場合には、(b)に示すように作成すべき補間走査線の重心位置を挟むフィールド間の2本の走査線から補間走査線を作成すればよい。モード設定回路113は、拡大倍率や拡大位置を指定し、フィールドメモリ102及び係数生成回路108を制御する。例えばフィールドメモリ102は前述のように拡大倍率に応じて読み出しタイミングを変え、また係数生成回路108は拡大倍率に応

じて発生する係数を変更するが、これらの処理を制御するのがモード設定回路である。またフィールドメモリ102、係数生成回路108はフィールド毎にリセットすることにより、正確なフレーム間の動き信号、及び拡大画像が得られる。

【0014】以上のようにインタレース方式の映像信号を拡大する場合に、映像信号の動きを検出して動画であればフィールド内で、静止画であればフィールド間で補間走査線を作成することにより、エッジ部分で画質劣化のない高画質な拡大画像が得られる。

【0015】次に図1の回路と同様の拡大処理を行い、回路構成を変えた例を図5、図6、図7、図8に示す。これらの図で図1と同じ記号のものは同じ動作をする。図5は図1の回路に対し動き検出位置を1ラインずらしたものの。図6(a)はラインメモリ104で1ライン遅延した後にフィールドメモリ103、105に入力する構成としたもので、同図(b)は(a)と動き検出位置を1ラインずらしたものの。図7はフィールドメモリ103で1フィールド遅延した後にラインメモリ104、フィールドメモリ105に入力し、フィールドメモリ103、ラインメモリ104、フィールドメモリ105の出力信号を補間信号合成回路107に入力する構成であり、(b)はラインメモリ104の出力信号をフィールドメモリ105に入力する構成としたものの、図8はフィールドメモリ103の出力後にラインメモリ104、フィールドメモリ105に入力し、フィールドメモリ102、103、ラインメモリ105の出力信号を補間信号合成回路107に入力する構成としたもので、同図

(b)はラインメモリ104の出力信号をフィールドメモリ105に入力する構成としたものである。

【0016】以上、図5~図8に示したように、本発明は図1の回路構成に限らず、回路構成を変えた場合も本発明に含まれる。

【0017】次に本発明の拡大回路と他の回路とを組合せることにより、メモリ、動き検出回路などを共用して原価低減と回路規模縮小を図った例を示す。

【0018】図9に第1の例として3次元Y/C分離回路と本発明である図1の拡大回路を組合せた例を示す。この図で901の破線で囲む部分が3次元Y/C分離回路であり、902はインタレース方式の映像信号の入力端子、903はラインメモリ、904、905はフィールドメモリ、906、907は減算器、908は動き検出回路、909はMIX回路、910は減算回路、911、912、913はフィールドメモリ、914はラインメモリ、915は補間信号合成回路、916は係数生成回路、917はモード設定回路、918は映像信号の出力端子である。まず3次元Y/C分離回路の動作から説明する。映像信号の入力端子902から入力した映像信号とラインメモリ903で1ライン遅延した映像信号は減算器906に入力されライン間の演算によりC信号

を分離し出力する。また映像信号の入力端子902から入力した映像信号とフィールドメモリ904、905で2フィールド遅延した映像信号は減算器907に輸入され、フレーム間の演算によりC信号を分離し出力する。映像信号の入力端子902から入力した映像信号とフィールドメモリ904、905で2フィールド遅延した映像信号は動き検出回路に輸入され、フレーム間の差分をもとに映像の動きを検出し動き信号を生成する。減算器906、907から出力されたC信号はMIX回路909に輸入され、動き検出回路908からの動き信号をもとに合成し出力する。例えば、動きの大きい映像の場合は、主としてライン間でY/C分離を行うよう減算器906の出力信号の比率を大きく合成し、動きの小さな映像の場合は、主としてフレーム間でY/C分離を行うよう減算器907の出力信号の比率を大きく合成する。映像信号の入力端子902から入力した映像信号とMIX回路909から出力されたC信号は減算器910に輸入され、入力映像信号から動き検出して分離されたC信号を減算することによりY信号を出力する。以上が3次元Y/C分離回路の概略動作である。フィールドメモリ911、913、ラインメモリ914、補間信号合成回路915、係数生成回路916、モード設定回路917は、それぞれ図1に示す拡大回路のフィールドメモリ102、103、ラインメモリ104、補間信号合成回路107、係数生成回路108、モード設定回路113と同様の動作を行う拡大回路である。ここで図1の動き検出回路106は3次元Y/C分離回路の動き検出回路908を共用し、この共用のためにフィールドメモリ912を設ける。フィールドメモリ912では動き検出回路908から出力された動き信号のうち、フィールドメモリ911に書き込んだ拡大領域に対応する動き信号のみを書き込み、フィールドメモリ911同様に拡大倍率に応じて読み出していく。

【0019】以上のようにフィールドメモリ912を設けることにより3次元Y/C分離の動き信号が共用可能となり、図1の拡大回路の動き検出回路を省くことができ、回路規模を削減できる効果がある。また3次元Y/C分離回路の構成は図5の構成だけに限らず、フレーム間の演算とフィールド内の演算によりY/C分離をそれぞれ行い、動き検出回路を設けてそれぞれの演算出力を合成する構成の3次元Y/C分離回路はすべて、図9に示す構成をとることができ本発明に含まれる。

【0020】次に第2の例として、MUSE信号をNTSC信号に変換する際の映像信号の広域部分の折り返し成分を除去する折り返し除去回路と、本発明である図1の拡大回路を組み合わせた例を示す。

【0021】図10はフレーム間の折り返し除去回路と図1の拡大回路を組み合わせた例である。この回路はMUSE信号を受信してNTSC信号に変換して表示する場合には、フレーム間の折り返し除去回路として動作

し、NTSC信号を受信した場合には本発明の拡大回路として動作する。この図で1001の破線で示す部分が折り返し除去回路であり、1002は映像信号の入力端子、1003、1004はフィールドメモリ、1005は加算器、1006は動き検出回路、1007はMX回路、1008は映像信号の出力端子、1009はフィールドメモリ、1010はラインメモリ、1011は補間信号合成回路、1012は係数生成回路、1013はモード設定回路、1014はMUSE/NTSC識別回路である。まず折り返し除去回路の動作を説明する。映像信号の出力端子1002より入力した映像信号とフィールドメモリ1003、1004により2フィールド遅延した映像信号は加算器1005で加算することにより静止画においてフレーム間の折り返しのない映像信号を出力する。また映像信号の入力端子1002から入力した映像信号とフィールドメモリ1003、1004により2フィールド遅延した映像信号は動き検出回路1006に輸入され、フレーム間の差分をもとに映像の動きを検出して動き信号を生成し出力する。映像信号の入力端子1002から入力した映像信号と加算器1005より出力された映像信号はMIX回路1007に輸入され、動き検出回路1006からの動き信号をもとに係数生成回路1013で生成した係数に従い合成して出力する。例えば入力した映像信号が動きの大きい信号である場合には、映像信号の入力端子1002から入力した映像信号の比率を大きくし、逆に動きの小さい映像信号であれば加算器1005から出力された映像信号の比率を大きくして合成する。次に拡大回路としての動作を説明する。フィールドメモリ1009、ラインメモリ1010、補間信号合成回路1011、係数生成回路1012、モード設定回路1013が拡大処理用に加えた回路であり、それぞれ図1に示すフィールドメモリ102、ラインメモリ103、補間信号合成回路107、係数生成回路108、モード設定回路113に相当する。また、MUSE/NTSC識別回路1014は、入力信号がMUSE信号であるかNTSC信号であるかを識別して、折り返し除去処理と拡大処理の切り替えを制御する回路であり、MUSE/NTSC識別信号をモード設定回路1013に出力する。モード設定回路1013はMUSE/NTSC識別信号をもとに、折り返し除去処理と拡大処理を切り替えるべくフィールドメモリ1009、動き検出回路1006、係数生成回路1012を制御する。例えば折り返し除去回路として動作する場合には、フィールドメモリ1009は入力した映像信号をそのまま読み出し、補間信号合成回路1011はフィールドメモリ1009から入力した映像信号をそのまま読み出す。また、拡大回路として動作する場合にはMIX回路1007は補間信号合成回路1011から入力した映像信号をそのまま読み出す。ここで、拡大回路として使用する場合には、図1のフィールドメモリ103、104は折

返し除去回路のフィールドメモリ1003、1004で共用し、また動き検出回路106は折り返し除去回路の動き検出回路1006で共用する。

【0022】このように、折り返し除去機能と拡大機能を同一回路で実現する例を示したが、表示画面のアスペクト比が16:9のテレビの場合、NTSC信号受信時にはアスペクト比の不一致を補正する拡大処理が必要になるが、MUSE信号受信時にはアスペクト比が一致するため表示画面全体に映像を出せばよく拡大処理が不要となる。そのため本回路構成が非常に効果的となる。

【0023】本実施例によれば、MUSE-NTSC変換時の折り返し除去と本発明の拡大処理を行う回路において、2つのフィールドメモリと動き検出回路を共用することにより回路規模を削減でき経済性が増す効果がある。また、メモリの構成として図1の例で説明したが、図5～図8に示したメモリ構成でも同様の効果を生む回路が実現できる。

【0024】次に図11はフィールド間、フレーム間の折り返し除去回路と図1の拡大回路を組み合わせた例である。この回路もMUSE信号を受信してNTSC信号に変換する場合にはフィールド間、フレーム間の折り返し除去回路として動作し、NTSC信号を受信した場合には本発明の拡大回路として動作する。この図で1101の破線で示す部分が折り返し除去回路であり、1102は映像信号の入力端子、1103はフィールドメモリ、1104は加算器、1105はMIX回路、1106、1107はフィールドメモリ、1108は加算器、1109は動き検出回路、1110はMIX回路、1111は映像信号の出力端子、1112はラインメモリ、1113は補間信号合成回路、1114は係数発生回路、1115はモード設定回路、1116はMUSE、NTSC識別回路である。まず折り返し除去回路の動作を説明する。映像信号の入力端子1102から入力した映像信号とフィールドメモリ1103により1フィールド遅延した映像信号は加算器1104で加算することにより静止面でフィールド間の折り返しのない映像信号を出力する。映像信号の入力端子1102から入力した映像信号と加算器1104から出力された映像信号はMIX回路1105に入力され、映像の動きに応じて合成し出力する。例えば入力した映像信号が動きの大きい信号である場合には、映像信号の入力端子1102から入力した映像信号の比率を大きくし、逆に動きの小さい映像信号であれば加算器1104から出力された映像信号の比率を大きくして合成する。フィールドメモリ1106、1107、加算器1108、動き検出回路1109、MIX回路1110は図10で説明したフレーム間の折り返し除去回路である。次に拡大回路としての動作を説明する。ラインメモリ1112、補間信号合成回路1113、係数発生回路1114、モード設定回路1115が拡大処理用に加えた回路であり、それぞれ図1の

ラインメモリ105、補間信号合成回路107、係数発生回路108、モード設定回路113に相当する。また、MUSE/NTSC識別回路1116も、図10のMUSE/NTSC識別回路1014同様に、入力信号がMUSE信号であるかNTSC信号であるかを識別して、折り返し除去処理と拡大処理の切り替えを制御する回路である。ここで、拡大回路として使用する場合には、図1のフィールドメモリ102、103、104は折り返し除去回路のフィールドメモリ1103、1106、1107で共用し、また動き検出回路106は折り返し除去回路の動き検出回路1109で共用する。

【0025】本実施例によれば、MUSE-NTSC変換時の折り返し除去と本発明の拡大処理を行う回路において、3つのフィールドメモリと動き検出回路を共用でき、回路規模を削減でき経済性が増す効果がある。

【0026】次に図12に図11とは別構成のフィールド間、フレーム間の折り返し除去回路と図1の拡大回路を組み合わせた例を示す。図11はフィールド間の折り返し除去後にフレーム間の折り返しを除去する構成であるが、図12はフレーム間の折り返し除去後にフィールド間の折り返しを除去する構成である。この図で1201の破線で示す部分が折り返し除去回路であり、1202は映像信号の入力端子、1203、1204、1205はフィールドメモリ、1206、1207、1208は加算器、1209は動き検出回路、1210はMIX回路、1211は映像信号の出力端子、1212はラインメモリ、1213は補間信号合成回路、1214は係数発生回路、1215はモード設定回路、1216はMUSE/NTSC識別回路である。まず折り返し除去回路の動作を説明する。映像信号の入力端子1202から入力した映像信号とフィールドメモリ1203、1204により2フィールド遅延した映像信号は加算器1206で加算することにより、静止面でフレーム間の折り返しのない映像信号を出力する。フィールドメモリ1203により1フィールド遅延した映像信号と、フィールドメモリ1204、1205により、さらに2フィールド遅延した映像信号は加算器1208で加算することにより、静止面でフレーム間の折り返しのない映像信号を出力する。加算器1206、1207の出力信号はさらに加算器1208で加算することにより、静止画においてフィールド間、フレーム間の折り返しのない映像信号を出力する。またフィールドメモリ1203から出力された映像信号とフィールドメモリ1204、1205により2フィールド遅延した映像信号は動き検出回路1209に入力され、フレーム間の差分をもとに映像の動きを検出して動き信号を生成し出力する。フィールドメモリ1203から出力された映像信号と、加算器1208から出力された映像信号はMIX回路1210に入力され、映像の動きに応じて合成され出力される。例えば入力した映像信号が動きの大きい信号である場合には、フ

フィールドメモリ1203から出力された映像信号の比率を大きくし、逆に動きの小さい映像信号であれば加算器1208から出力された映像信号の比率を大きくして合成する。次に拡大回路としての動作を説明する。ラインメモリ1212、補間信号合成回路1213、係数発生回路1214、モード設定回路1215が拡大処理用に加えた回路であり、それぞれ図1に示すラインメモリ105、補間信号合成回路107、係数発生回路108、モード設定回路113に相当する。また、MUSE/NTSC識別回路1116は、図10のMUSE/NTSC識別回路1014同様に、入力信号がMUSE信号であるかNTSC信号であるかを識別して、折り返し除去処理と拡大処理の切り替えを制御する回路である。ここで、拡大回路として使用する場合には、図1のフィールドメモリ102、103、104は折り返し除去回路のフィールドメモリ1203、1204、1205で共用し、また動き検出回路106は折り返し除去回路の動き検出回路1209で共用する。

【0027】本実施例によれば、MUSE-NTSC変換時の折り返し除去と本発明の拡大処理を行う回路を備える場合、3つのフィールドメモリと動き検出回路を共用でき、回路規模を削減でき経済性が増す効果がある。

【0028】折り返し除去回路と本発明の拡大回路を組合せた3つの例を説明したが、折り返し除去回路の構成は図10、図11、図12だけに限らず、これらの回路を変形した構成の場合でも本発明に含まれる。

【0029】以上説明してきたように、インタレース方式の画像を信号処理で走査線を補間して拡大する場合に、映像の動きを検出して静止画の場合はフィールド間の演算で、動画の場合はフィールド内の演算で走査線を補間することにより、エッジ部分で画質劣化のない高画質な拡大画像が得られる。また、3次元Y/C分離回路や折り返し除去回路など他の回路とメモリや動き検出回路を共用することにより回路規模の削減や原価低減を図ることができる。

【0030】

【発明の効果】本発明によれば、インタレース方式の映像信号を拡大表示する場合に、映像の動きを検出し、静止画であればフィールド間で、動画であればフィールド内で走査線を補間して拡大することにより、映像のエッジ部分の劣化を抑えた高画質な拡大画像が得られる。また、本発明の拡大回路を3次元Y/C分離回路や折り返し除去回路と組み合わせることにより、動き検出回路やメモリを兼用でき、回路規模削減や原価低減を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施を示すブロック図である。

【図2】図1のブロック図に示すメモリの入出力信号を示す図である。

【図3】本発明の第1のメモリの構成例を示す図であ

る。

【図4】インタレース画像を拡大する場合の動画補間処理と静止画補間処理の概要を示す図である。

【図5】本発明の構成例を示すブロック図である。

【図6】本発明の構成例を示すブロック図である。

【図7】本発明の構成例を示すブロック図である。

【図8】本発明の構成例を示すブロック図である。

【図9】3次元Y/C分離回路と本発明による拡大回路を組合せた例を示す図である。

10 【図10】フレーム間の折り返し除去回路と本発明による拡大回路を組合せた例を示す図である。

【図11】フィールド間、フレーム間の折り返し除去回路と本発明による拡大回路を組合せた第1の例を示す図である。

【図12】フィールド間、フレーム間の折り返し除去回路と本発明による拡大回路を組合せた第2の例を示す図である。

【図13】アスペクト比4:3の画像をアスペクト比16:9のディスプレイに表示した例を示す図である。

20 【図14】横長画像をワイド画面に拡大表示した場合の問題例を示す図である。

【図15】信号処理で走査線を補間して拡大する従来の方法の一例を示すブロック図である。

【図16】図15に示すブロック図の動作の説明図である。

【図17】インタレース画像を信号処理で走査線を補間して拡大した場合の問題点と対策方法を示す図である。

【図18】補間信号合成回路の具体例を示す図である。

30 【図19】動き量、補間走査線の重心位置と補間係数の関係を示す図である。

【符号の説明】

101…映像信号の入力端子、102、103…フィールドメモリ、104…ラインメモリ、105…フィールドメモリ、106…動き検出回路、107…補間信号合成回路、108…係数生成回路、109、110、111…係数器、112…加算器、113…モード設定回路、114…映像信号の出力端子、301…ラインメモリ、302…セクタ、901…3次元Y/C分離回路、902…映像信号の入力端子、903…ラインメモリ、904、905…フィールドメモリ、906、907…減算器、908…動き検出回路、909…MIX回路、910…減算器、911、912、913…フィールドメモリ、914…ラインメモリ、915…補間信号合成回路、916…係数生成回路、917…モード設定回路、918…映像信号の出力端子、1001…折り返し除去回路、1002…映像信号の入力端子、1003、1004…フィールドメモリ、1005…加算器、1006…動き検出回路、1007…MIX回路、1008…映像信号の出力端子、1009…フィールドメモリ、1010…ラインメモリ、1011…補間信号合成

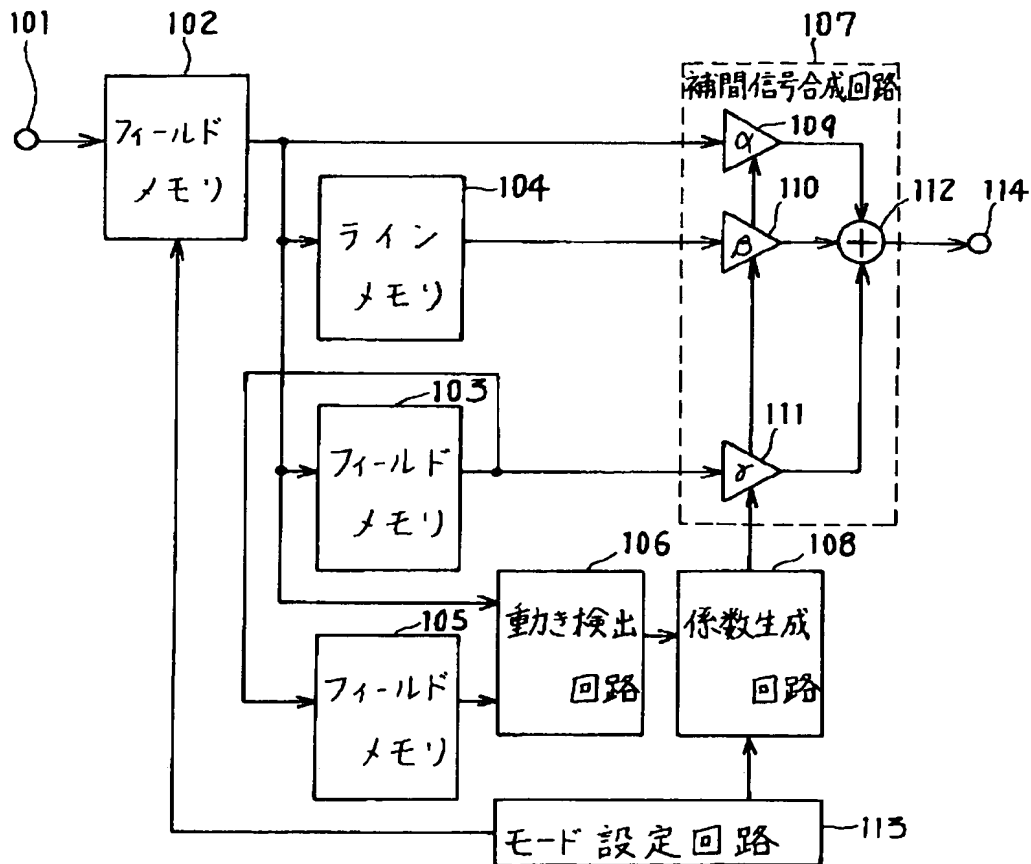
15

16

回路、1012…係数発生回路、1013…モード設定回路、1014…MUSE/NTSC識別回路、1101…折り返し除去回路、1102…映像信号の入力端子、1103…フィールドメモリ、1104…加算器、1105…MIX回路、1106, 1107…フィールドメモリ、1108…加算器、1109…動き検出回路、1110…MIX回路、1111…映像信号の出力端子、1112…ラインメモリ、1113…補間信号合成回路、1114…係数発生回路、1115…モード設定回路、1116…MUSE/NTSC識別回路、1201…折り返し除去回路、1202…映像信号の入力端子、1203, 1204, 1205…フィールドメモ *

*リ、1206, 1207, 1208…加算器、1209…動き検出回路、1210…MIX回路、1211…映像信号の出力端子、1212…ラインメモリ、1213…補間信号合成回路、1214…係数発生回路、1215…モード設定回路、1216…MUSE/NTSC識別回路、1501…映像信号の入力端子、1502…フィールドメモリ、1503…ラインメモリ、1504, 1505…係数器、1506…加算器、1507…映像信号の出力端子、1801, 1802…係数器、1803…加算器、1804, 1805…係数器、1806…加算器、1807…セクタ、1808, 1809…係数器、1810…加算器。

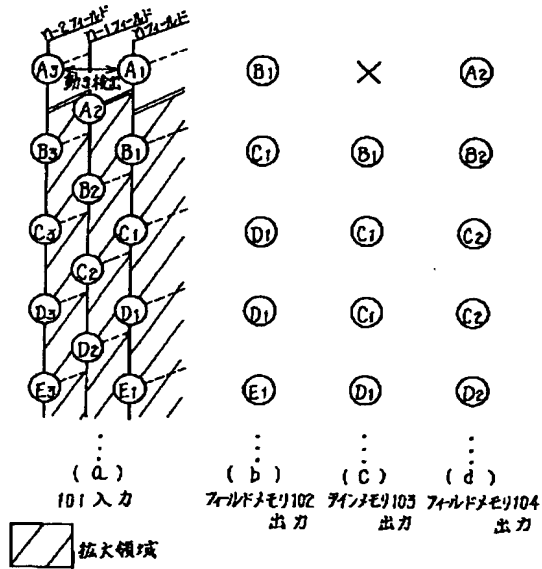
【図1】



☒
—

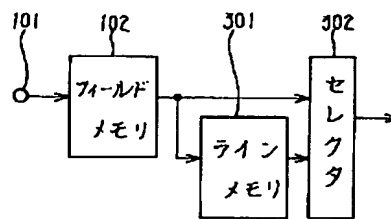
【図2】

図2



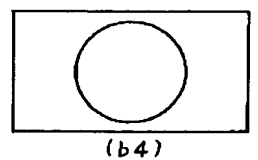
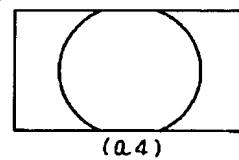
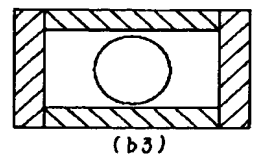
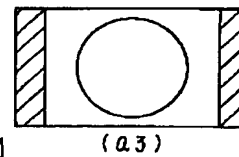
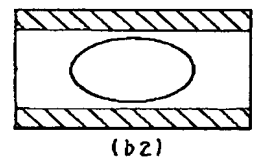
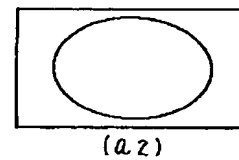
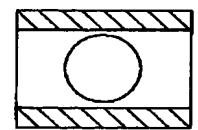
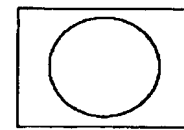
【図3】

図3

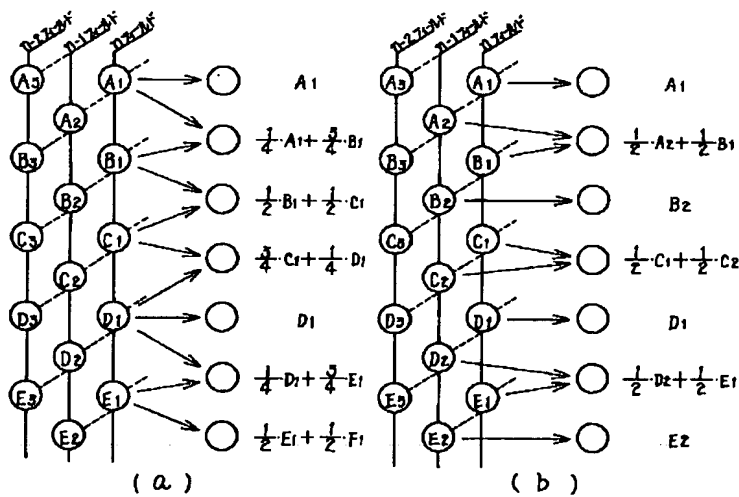


【図13】

図13

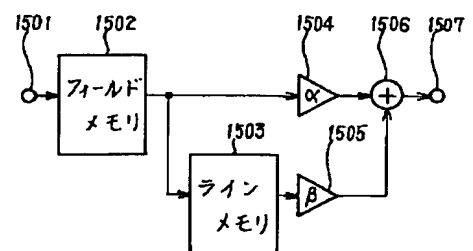


【図4】



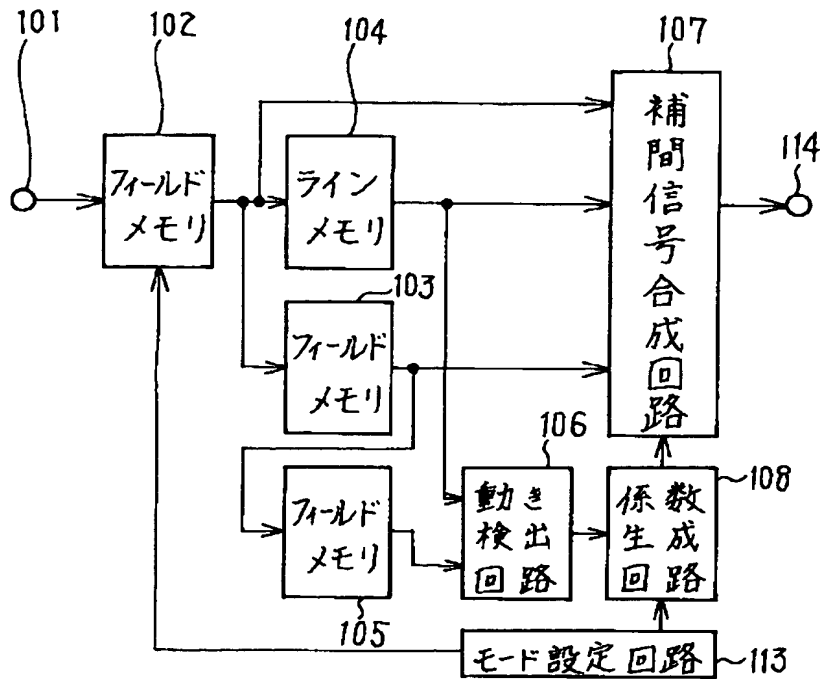
【図15】

図15



【図5】

図5



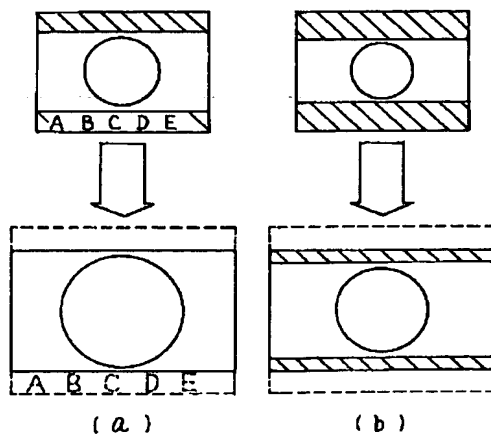
【図16】

図16

(A)	(A)	×	1・A
(B)	(B)	(A)	$\frac{3}{4}A + \frac{1}{4}B$
(C)	(C)	(B)	$\frac{1}{2}B + \frac{1}{2}C$
(D)	(D)	(C)	$\frac{1}{4}C + \frac{3}{4}D$
(E)	(D)	(D)	1・D
⋮	⋮	⋮	⋮
(a)	(b)	(c)	(d)

【図14】

図14



【図17】

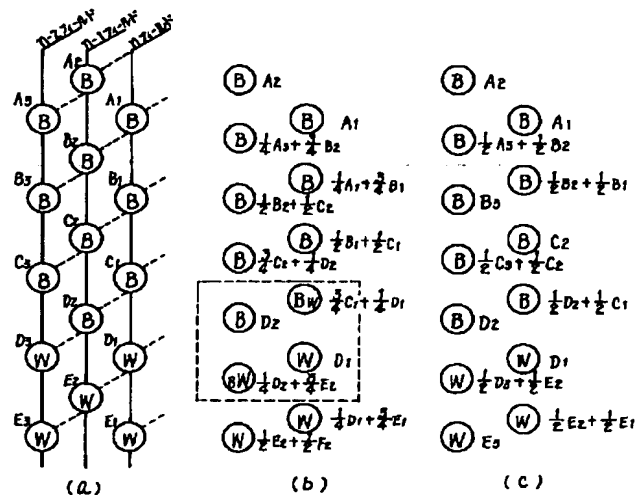
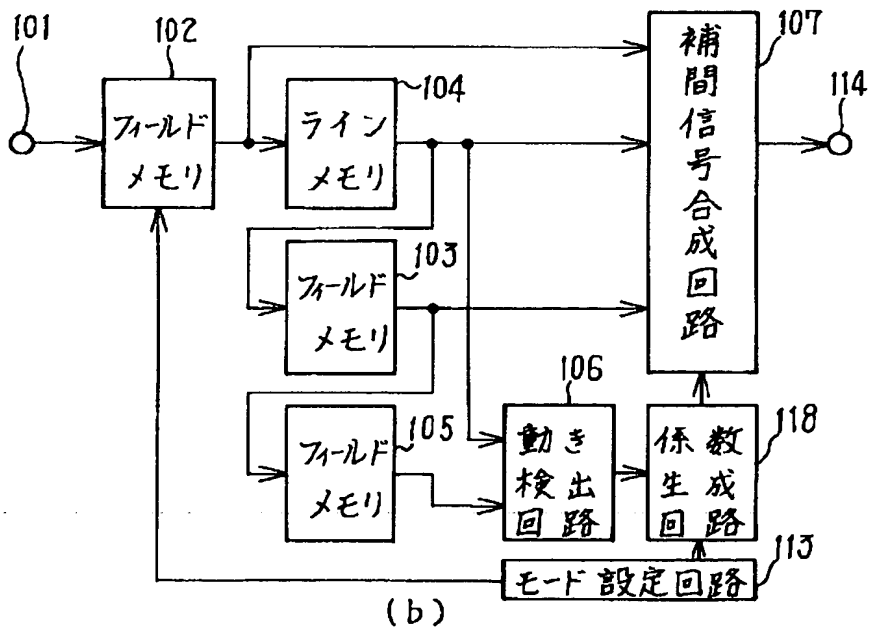
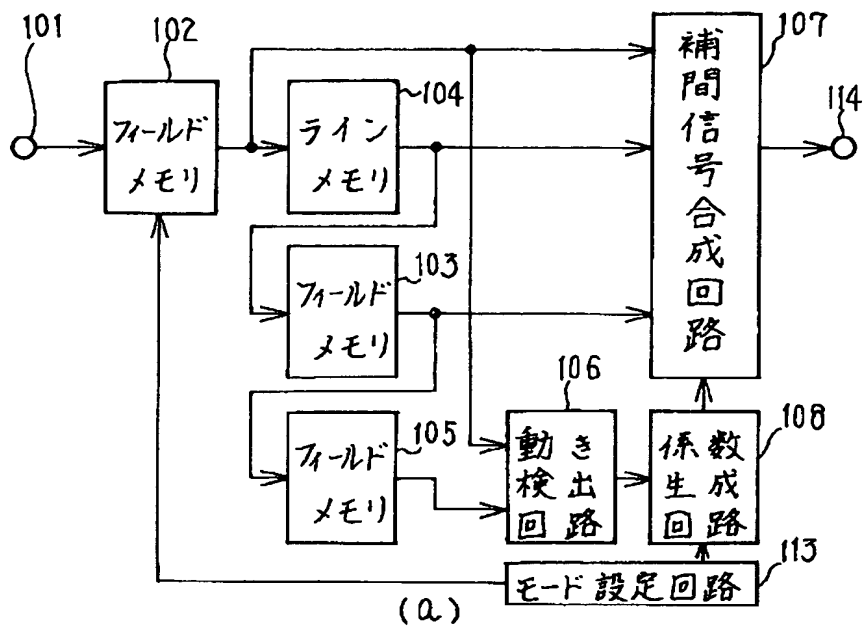


図17

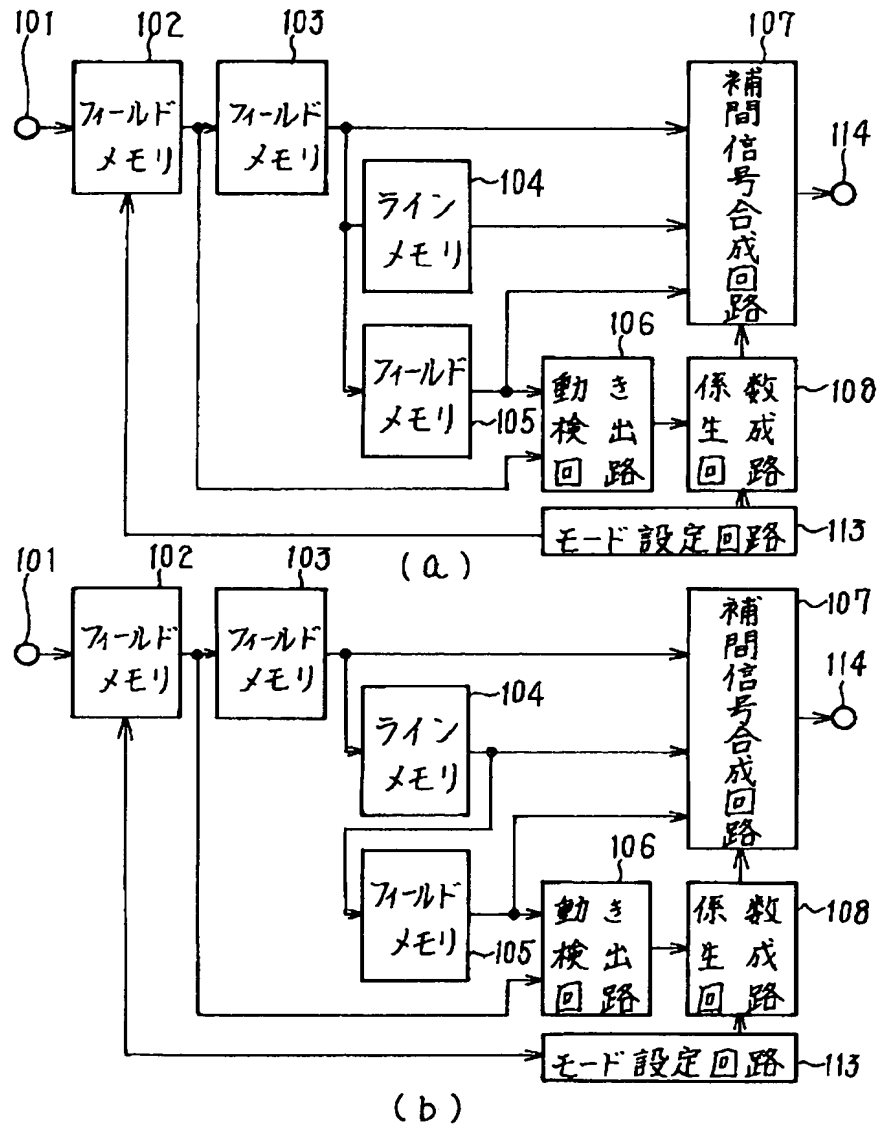
【図6】

図6



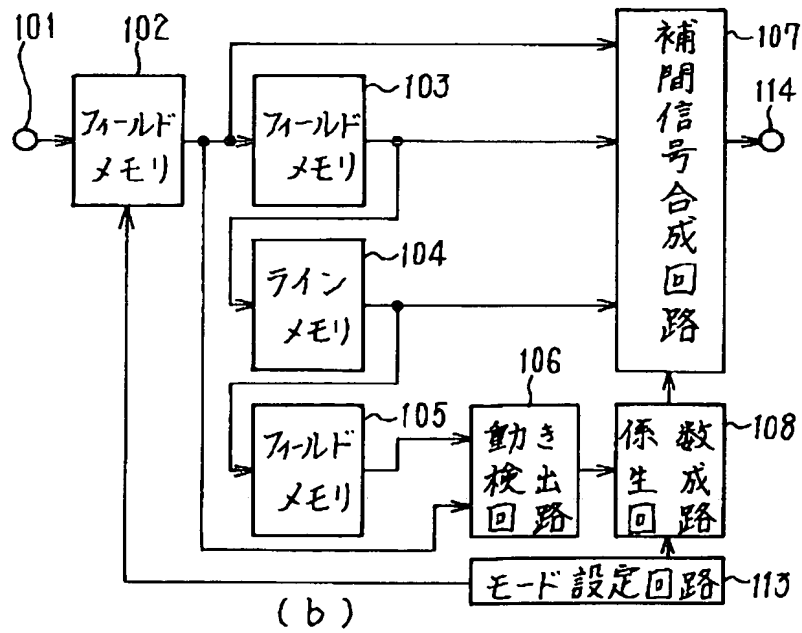
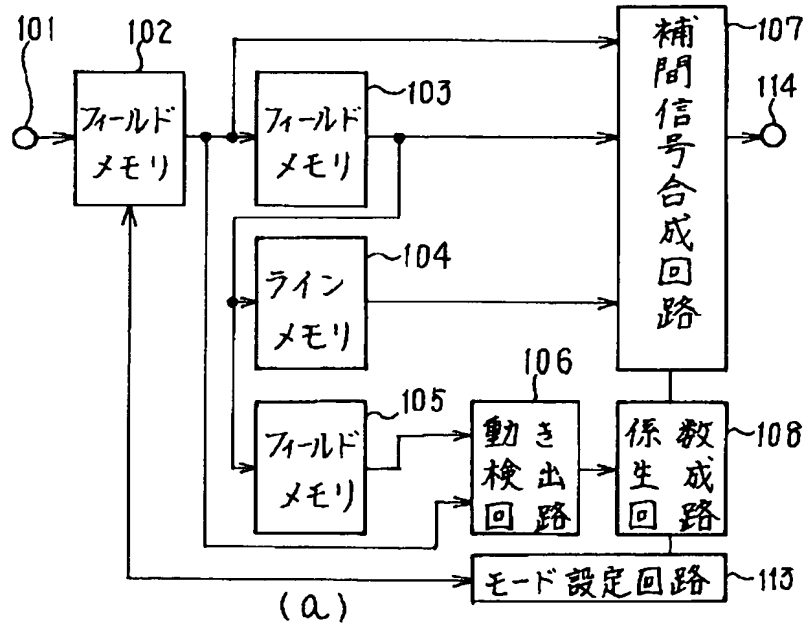
【図7】

図7



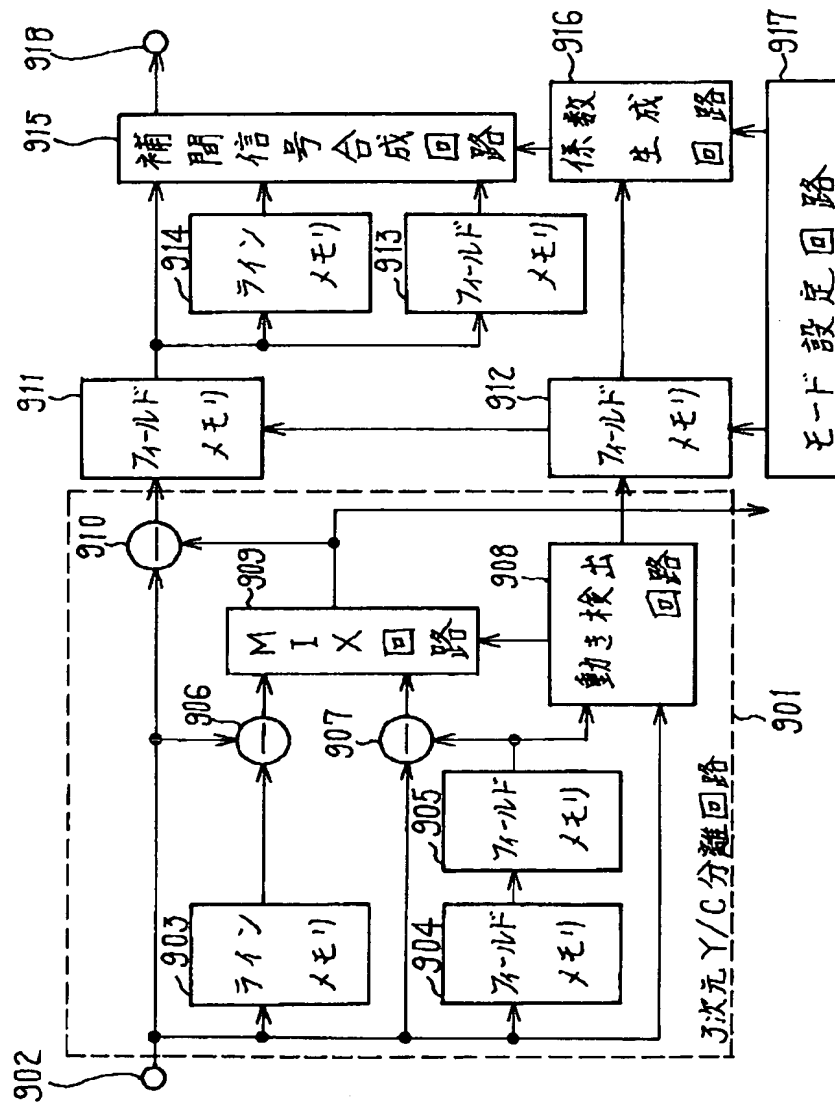
【図8】

図8



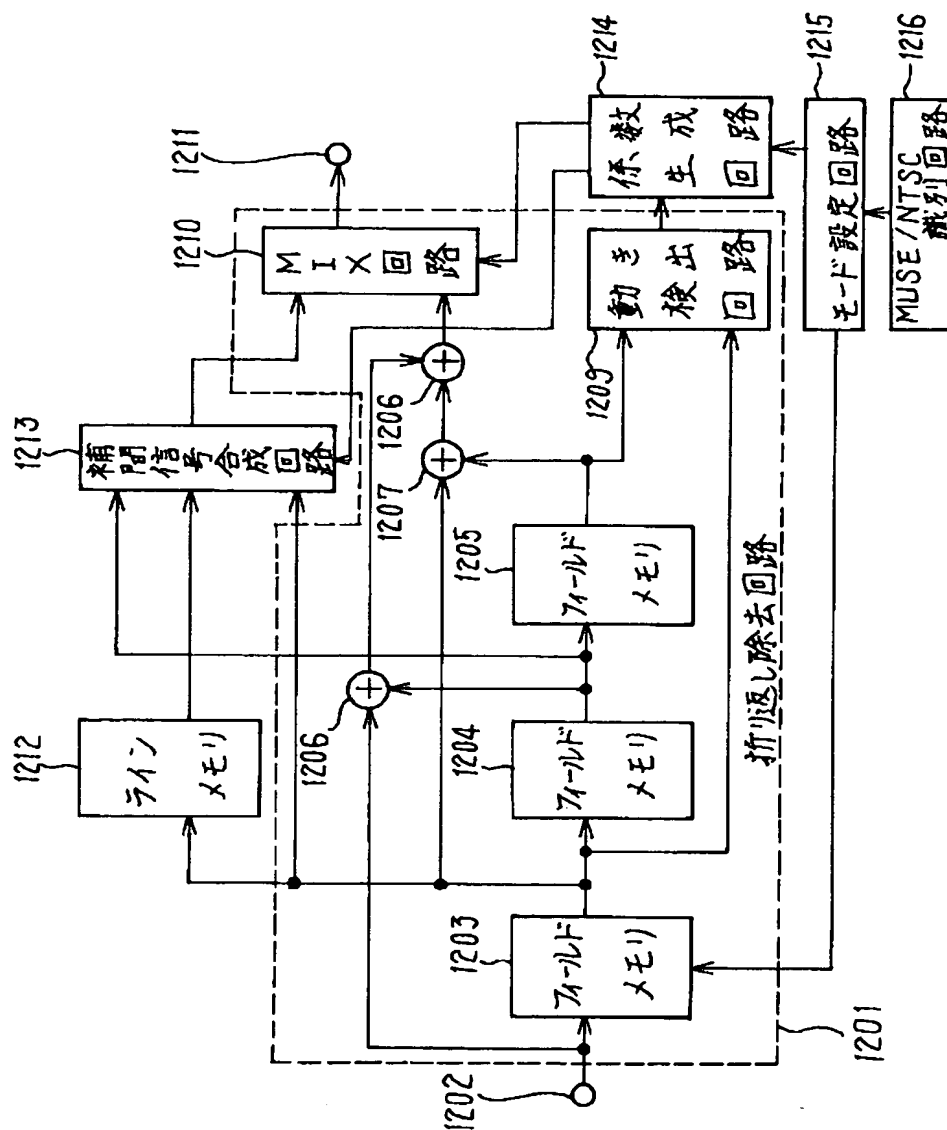
【図9】

図9

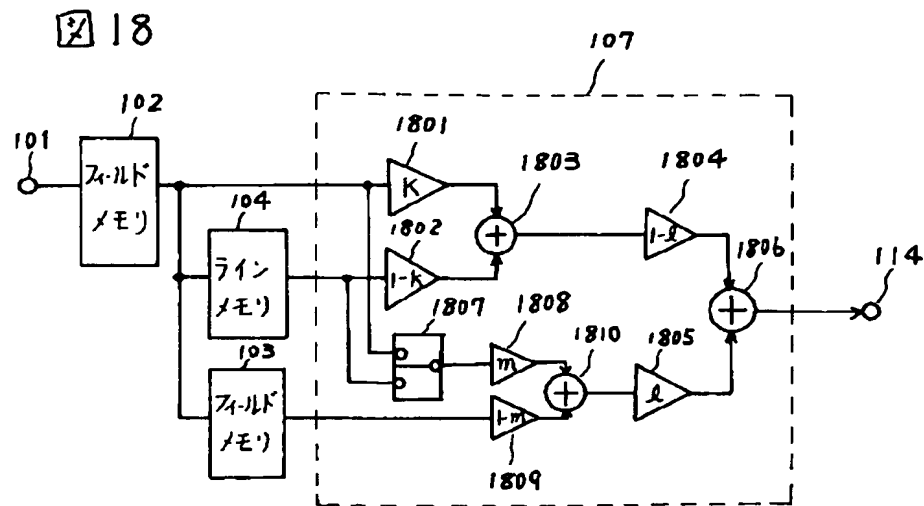


【図12】

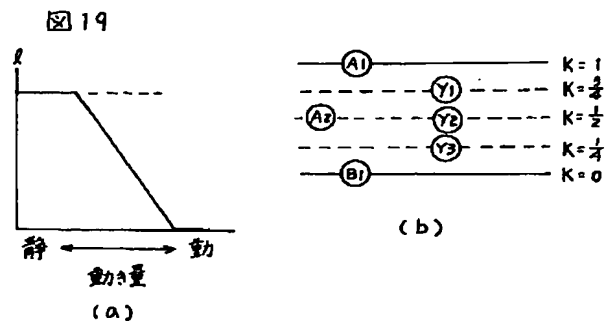
図12



【図18】



【図19】



フロントページの続き

(72)発明者 勝又 賢治
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像メディア研究所内

(72)発明者 高田 春樹
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像メディア研究所内